

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-064292

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

G11C 17/18

(21)Application number : 08-223979

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 26.08.1996

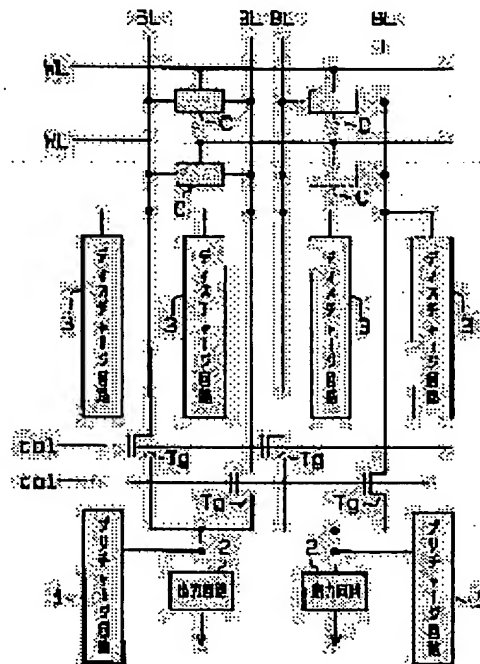
(72)Inventor : TANAKA MASAHIRO

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for achieving a high integration by reducing an area required for wiring for discharge.

SOLUTION: A storage cell C is connected between a number of word lines WL and bit lines BL, and a precharge circuit 1 is connected to each bit line BL. The storage cell C is composed of a switch circuit for connecting both bit lines BL at the time of a selective operation by the word lines WL and outputs cell information to the bit lines BL depending on whether the precharged bit lines BL are connected to wiring for discharge for discharging or not at the time of a selective operation by the word lines WL. With a transfer gate Tg, only one of a pair of bit lines BL is connected to an output circuit 2 on the basis of a column selection signal col, and the bit lines BL are connected to a discharge circuit 3 for discharging when the transfer gate Tg connected to the bit lines BL is closed.



LEGAL STATUS

[Date of request for examination]

28.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-64292

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl.⁸

G11C 17/18

識別記号

庁内整理番号

F I

G11C 17/00

技術表示箇所

306A

審査請求 未請求 請求項の数4 OL (全9頁)

(21) 出願番号 特願平8-223979

(22) 出願日 平成8年(1996) 8月26日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 田中 正博

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宜

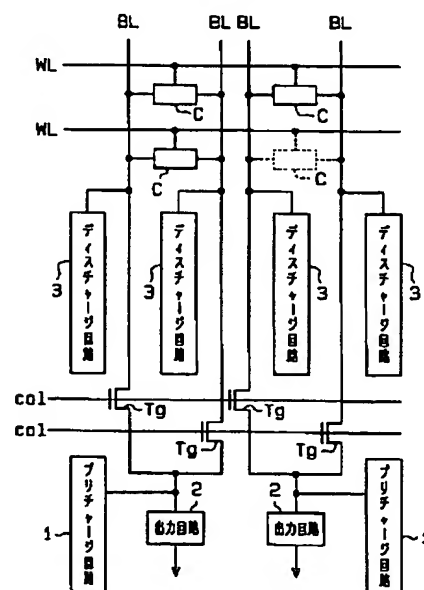
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ディスチャージ用の配線に要する面積を削減して高集積化を図り得る半導体記憶装置を提供する。

【解決手段】 多数のワード線WLとビット線BLとの間にそれぞれ記憶セルCが接続され、各ビット線BLにはプリチャージ回路1が接続される。記憶セルCは、ワード線WLによる選択動作時に両ビット線BLを接続するスイッチ回路で構成し、ワード線WLによる選択動作時に、プリチャージされたビット線BLをディスチャージ用配線に接続してディスチャージするか否かによりセル情報をビット線BLに出力可能とする。転送ゲートTgは、コラム選択信号colに基づいて、一对のビット線BLの一方のみを出力回路2に接続する構成とし、各ビット線BLには該ビット線BLに接続された転送ゲートTgが閉路されたとき、該ビット線BLはディスチャージするディスチャージ回路3に接続される。

本発明の原理図



【特許請求の範囲】

【請求項1】 多数のワード線とビット線との間にそれぞれ記憶セルを接続し、前記各ビット線には該ビット線をプリチャージするプリチャージ回路を接続し、前記記憶セルは前記ワード線による選択動作時に、前記プリチャージされたビット線をディスチャージ用配線に接続してディスチャージするか否かによりセル情報をビット線に出力可能とし、前記ビット線は、コラム選択信号に基づいて開閉される転送ゲートを介して出力回路に接続した半導体記憶装置であって、

前記記憶セルは、それぞれ一对のビット線間に接続されて前記ワード線による選択動作時に両ビット線を接続するスイッチ回路で構成し、前記転送ゲートは、前記コラム選択信号に基づいて、前記一对のビット線の一方のビット線のみを前記出力回路に接続する構成とし、前記各ビット線には該ビット線に接続された転送ゲートが閉路されたとき、該ビット線をディスチャージするディスチャージ回路を接続したことを特徴とする半導体記憶装置。

【請求項2】 前記ディスチャージ回路は、前記コラム選択信号に基づいて、選択されないビット線を低電位側電源に接続するスイッチ回路で構成したことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記記憶セルは、前記一对のビット線間に接続され、そのゲートが前記ワード線に接続されたNMOSTランジスタで構成したことを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 前記プリチャージ回路は、ワード線及びビット線の選択とともに活性化されてビット線をプリチャージし、ワード線及びビット線の選択の終了に先立って不活性化されることを特徴とする請求項1に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置に係り、詳しくは、マスクROMに関する。近年のマスクROMは、ますます大容量化及び高集積化が進んでいる。このようなマスクROMでは、そのチップ面積の大部分は配線レイアウトが占めている。そこで、マスクROMの更なる大容量化及び高集積化を図るためには、その配線レイアウト面積を減少することが必要となっている。

【0002】

【従来の技術】 図5は、従来のマスクROMの回路図を示す。各ワード線WL1、WL2は、それぞれロウデコード（図示しない）に接続されている。そのワード線WL1上にはセルC11～C14が構成されている。その内セルC11～C13にはNチャンネルMOSトランジスタ（以下、NMOSTランジスタという）Tr11～Tr13が形成されている。NMOSTランジスタTr11～Tr13の各ゲートはそれぞれワード線WL1に接続され

ている。そして、各NMOSTランジスタTr11～Tr13のゲートには、ロウデコードからそれぞれロウ選択信号selAが入力される。ちなみに、セルC14には、トランジスタは形成されていない。

【0003】 前記NMOSTランジスタTr11～Tr13のドレインは、各ビット線BL1～BL3にそれぞれ接続されている。NMOSTランジスタTr11～Tr13のソースは、ワード線WL1に沿って形成されたディスチャージ用の配線、即ちグラウンドGNDに接続されたグラウンド線GL1にそれぞれ接続されている。

【0004】 一方、ワード線WL2上にはセルC15～C18が構成されている。その内セルC15、C16、C18にはNMOSTランジスタTr15、Tr16、Tr18が形成されている。NMOSTランジスタTr15、Tr16、Tr18の各ゲートはそれぞれワード線WL2に接続されている。そして、各NMOSTランジスタTr15、Tr16、Tr18のゲートには、ロウデコードからそれぞれロウ選択信号selBが入力される。ちなみに、セルC17には、トランジスタは形成されていない。

【0005】 前記NMOSTランジスタTr15、Tr16、Tr18のドレインは、各ビット線BL1、BL2、BL4にそれぞれ接続されている。NMOSTランジスタTr15、Tr16、Tr18のソースは、ワード線WL2に沿って形成されたディスチャージ用の配線、即ちグラウンドGNDに接続されたグラウンド線GL2にそれぞれ接続されている。つまり、各ワード線WL1、WL2ごとにディスチャージ用のグラウンド線GL1、GL2が形成されている。

【0006】 各ビット線BL1～BL4には、それぞれNMOSTランジスタよりなる転送ゲートTg1～Tg4が設けられている。各転送ゲートTg1～Tg4のゲートは、それぞれコラムデコード（図示しない）に接続されている。転送ゲートTg1、Tg3のゲートには、コラムデコードからコラム選択信号colAが入力される。又、転送ゲートTg2、Tg4のゲートには、コラムデコードからコラム選択信号colBが入力される。

【0007】 前記ビット線BL1、BL2は、転送ゲートTg1、Tg2を介してインバータINV11の入力端子に接続されている。そして、インバータINV11の出力端子OUT1からは、選択されたセルC11、C12、C15、C16が記憶しているデータを出力する。一方、前記ビット線BL3、BL4は、転送ゲートTg3、Tg4を介してインバータINV12の入力端子に接続されている。そして、インバータINV12の出力端子OUT2からは、選択されたセルC13、C14、C17、C18が記憶しているデータを出力する。

【0008】 又、転送ゲートTg1、Tg2とインバータINV11の入力端子との間には、プリチャージ用のPチャンネルMOSトランジスタ（以下、PMOSTランジスタ）Tr21のドレインが接続されている。このP

MOSTランジスタTr21のソースには、プリチャージ電圧Vprが印加されている。又、PMOSTランジスタTr21のゲートには、プリチャージ制御信号Prが入力される。一方、転送ゲートTg3、Tg4とインバータINV12の入力端子との間には、プリチャージ用のPMOSTランジスタTr22のドレインが接続されている。このPMOSTランジスタTr22のソースには、プリチャージ電圧Vprが印加されている。又、PMOSTランジスタTr22のゲートには、プリチャージ制御信号Prが入力される。

【0009】このように構成されたマスクROMは、以下に示すように動作する。初期状態として、ロウ選択信号selA、selBはともにLレベルであって、各NMOSTランジスタTr11～Tr18はオフである。又、コラム選択信号colA、colBはともにLレベルであって、各転送ゲートTg1～Tg4は非導通状態である。又、プリチャージ制御信号PrはHレベルであって、プリチャージ用のPMOSTランジスタTr21、Tr22はオフである。

【0010】読み出し動作の開始により、プリチャージ用のPMOSTランジスタTr21、Tr22のゲートには一定時間Lレベルとなるプリチャージ制御信号Prが入力され、両トランジスタTr21、Tr22はともにオンする。次いで、例えば、セルC15、C17に記憶されたデータを読み出すべく、ビット線BL1、BL3が選択される。即ち、ロウデコードからHレベルのロウ選択信号selBが出力され、転送ゲートTg1、Tg3のゲートには、コラムデコードからそれぞれHレベルのコラム選択信号colAが入力される。両転送ゲートTg1、Tg3は導通状態となる。

【0011】すると、ビット線BL1は、PMOSTランジスタTr21及び転送ゲートTg1を介してプリチャージ電圧Vprが印加されHレベルとなる（プリチャージ）。又、ビット線BL3は、PMOSTランジスタTr22及び転送ゲートTg3を介してプリチャージ電圧Vprが印加されHレベルとなる（プリチャージ）。そして、プリチャージ制御信号PrがLレベルからHレベルとなると各ビット線BL1、BL3のプリチャージは終了する。

【0012】次いで、ワード線WL2が選択されて、ロウ選択信号selBがHレベルに立ち上がり、各NMOSTランジスタTr15、Tr16、Tr18はオンされる。すると、プリチャージされたビット線BL1は、NMOSTランジスタTr15及びグラウンド線GL2を介してディスチャージされる。即ち、ビット線BL1はHレベルからLレベルになる。ビット線BL1がLレベルになることによって、インバータINV11の出力端子OUT1からは、Hレベルの信号が出力される。

【0013】一方、セルC17にはトランジスタが形成されていないため、プリチャージされたビット線BL3

はグラウンド線GL2を介してディスチャージされない。即ち、ビット線BL3はHレベルのまま保持される。このビット線BL3がHレベルのまま保持されていることによって、インバータINV12の出力端子OUT2からは、Lレベルの信号が出力される。

【0014】このようにして、各ビット線BL1、BL3のプリチャージ終了後、ワード線WL2の選択に基づいてインバータINV11の出力端子OUT1からはHレベルの信号が出力され、インバータINV12の出力端子OUT2からはLレベルの信号が出力される。従って、セルC15に記憶されたデータはHレベルの信号「1」として読み出される。又、セルC17に記憶されたデータはLレベルの信号「0」として読み出される。

【0015】そして、上記したセルC15と同様にトランジスタが形成された各セルC11～C13、C16、C18は、セルC15と同様にそれぞれHレベルの信号「1」として読み出される。又、セルC17と同様にトランジスタが形成されていないセルC14は、セルC17と同様にLレベルの信号「0」として読み出される。

【0016】つまり、各インバータINV11、INV12からの出力信号OUT1、OUT2は、トランジスタを形成し放電経路を備えたセルからはHレベルの信号「1」が、トランジスタを形成せず放電経路を備えていないセルからはLレベルの信号「0」がデータとして出力される。

【0017】

【発明が解決しようとする課題】ところが、上記構成では、各ビット線BL1～BL4にプリチャージした電荷を放電すべく、ディスチャージ用のグラウンド線GL1、GL2を各ワード線WL1、WL2ごとに形成する必要がある。従って、マスクROMを構成するチップ上には、このディスチャージ用のグラウンド線GL1、GL2を形成するためのレイアウト面積が必要となってくる。その結果、マスクROMのスペース効率は悪く、このことがマスクROMの高集積化の妨げとなっている。

【0018】本発明は上記問題点を解決するためになされたものであって、その目的は、ディスチャージ用の配線に要する面積を削減して高集積化を図り得る半導体記憶装置を提供することにある。

【0019】

【課題を解決するための手段】請求項1の発明によれば、図1の発明の原理説明図に示すように、多数のワード線WLとビット線BLとの間にそれぞれ記憶セルCが接続され、前記各ビット線BLには該ビット線BLをプリチャージするプリチャージ回路1が接続される。前記記憶セルCは前記ワード線WLによる選択動作時に、前記プリチャージされたビット線BLをディスチャージ用配線に接続してディスチャージするか否かによりセル情報をビット線BLに出力可能とし、前記ビット線BLは、コラム選択信号colに基づいて開閉される転送ゲ

ートTgを介して出力回路2に接続される。前記記憶セルCは、それぞれ一对のビット線BL間に接続されて前記ワード線WLによる選択動作時に両ビット線BLを接続するスイッチ回路で構成される。前記転送ゲートTgは、前記コラム選択信号colに基づいて、前記一对のビット線BLの一方のビット線BLのみを前記出力回路2に接続する構成とし、前記各ビット線BLには該ビット線BLに接続された転送ゲートTgが閉路されたとき、該ビット線BLをディスチャージするディスチャージ回路3に接続される。

【0020】請求項2の発明は、請求項1に記載の半導体記憶装置において、前記ディスチャージ回路は、前記コラム選択信号に基づいて、選択されないビット線を低電位側電源に接続するスイッチ回路で構成した。

【0021】請求項3の発明は、請求項1に記載の半導体記憶装置において、前記記憶セルは、前記一对のビット線間に接続され、そのゲートが前記ワード線に接続されたMOSTランジスタで構成した。

【0022】請求項4の発明は、請求項1に記載の半導体記憶装置において、前記プリチャージ回路は、ワード線及びビット線の選択とともに活性化されてビット線をプリチャージし、ワード線及びビット線の選択の終了に先立って不活性化される。

【0023】(作用) 従って、請求項1の発明によれば、記憶セルは、それぞれ一对のビット線間に接続されてワード線による選択動作時に両ビット線を接続するスイッチ回路で構成される。転送ゲートは、コラム選択信号に基づいて、一对のビット線の一方のビット線のみを出力回路に接続する構成とし、各ビット線には該ビット線に接続された転送ゲートが閉路されたとき、該ビット線をディスチャージするディスチャージ回路に接続される。

【0024】請求項2の発明によれば、スイッチ回路は、コラム選択信号に基づいて、選択されないビット線を低電位側電源に接続する。請求項3の発明によれば、MOSTランジスタは、一对のビット線間に接続され、そのゲートがワード線に接続される。

【0025】請求項4の発明によれば、プリチャージ回路は、ワード線及びビット線の選択とともに活性化されてビット線をプリチャージし、ワード線及びビット線の選択の終了に先立って不活性化される。

【0026】

【発明の実施の形態】

(第1の実施の形態) 以下、本発明を具体化した第1の実施の形態を図2及び図3に従って説明する。尚、上記した図5に示す従来例と同一構成部分については同一の符号を付して説明を省略する。

【0027】図2は、マスクROMの回路図を示す。ワード線WL1上にはセルC1、C2が構成され、そのセルC1、C2にはNMOSTランジスタTr1、Tr2が形

成されている。NMOSTランジスタTr1、Tr2の各ゲートはそれぞれワード線WL1に接続されている。そして、各NMOSTランジスタTr1、Tr2のゲートには、ロウデコードからそれぞれロウ選択信号selAが入力される。

【0028】一方、ワード線WL2上にはセルC3、C4が構成され、その内セルC3にはNMOSTランジスタTr3が形成されている。NMOSTランジスタTr3のゲートはワード線WL2に接続されている。そして、NMOSTランジスタTr3のゲートには、ロウデコードからロウ選択信号selBが入力される。ちなみに、セルC4には、ランジスタは形成されていない。

【0029】前記NMOSTランジスタTr1、Tr3は、一对のビット線BL1、BL2の間にそれぞれ接続されている。又、NMOSTランジスタTr2は、一对のビット線BL3、BL4の間に接続されている。

【0030】各ビット線BL1~BL4には、それぞれNMOSTランジスタよりなる転送ゲートTg1~Tg4が設けられている。転送ゲートTg1、Tg3のゲートには、コラムデコードからコラム選択信号colAが入力される。又、転送ゲートTg2、Tg4のゲートには、コラムデコードからコラム選択信号colBが入力される。

【0031】又、各ビット線BL1~BL4には、それぞれディスチャージ用のNMOSTランジスタTr5~Tr8が形成されている。このNMOSTランジスタTr5~Tr8のドレインはそれぞれ各ビット線BL1~BL4に接続されていて、そのソースはそれぞれグランドGNDに接続されている。NMOSTランジスタTr5、Tr7のゲートはそれぞれコラムデコードに接続され、それらのゲートにはコラム選択信号colAがそれぞれインバータINV1、INV3を介して同信号colAの反転された信号が入力される。又、NMOSTランジスタTr6、Tr8のゲートはそれぞれコラムデコードに接続され、それらのゲートにはコラム選択信号colBがそれぞれインバータINV2、INV4を介して同信号colBの反転された信号が入力される。

【0032】つまり、ビット線BL1、BL3を選択すべく各転送ゲートTg1、Tg3のゲートにHレベルのコラム選択信号colAを入力すると、各転送ゲートTg1、Tg3は導通状態となるとともに、同信号colAが各インバータINV1、INV3を介して反転されてLレベルの信号となり、そのLレベルの信号がディスチャージ用のNMOSTランジスタTr5、Tr7のゲートにそれぞれ入力され、各ランジスタTr5、Tr7はオフする。そして、各ビット線BL1、BL3は、グランドGNDに接続されない。又、同様に、ビット線BL2、BL4を選択すべく各転送ゲートTg2、Tg4のゲートにHレベルのコラム選択信号colBを入力すると、各転送ゲートTg2、Tg4は導通状態となるととも

に、同信号 $c o l B$ に基づいてディスチャージ用のNMOSTランジスタ $T r 6$ 、 $T r 8$ はオフし、各ビット線 $B L 2$ 、 $B L 4$ は、グラウンド $G N D$ に接続されない。

【0033】ところで、各コラム選択信号 $c o l A$ 、 $c o l B$ はともにHレベルになることはなく、逆に言えば少なくとも一方はLレベルである。即ち、ビット線 $B L 1$ 、 $B L 3$ を選択すべくコラム選択信号 $c o l A$ がHレベルであると、コラム選択信号 $c o l B$ はLレベルである。そのLレベルのコラム選択信号 $c o l B$ が各インバータ $I N V 2$ 、 $I N V 4$ を介して反転されてHレベルの信号となり、Hレベルの信号がディスチャージ用のNMOSTランジスタ $T r 6$ 、 $T r 8$ のゲートにそれぞれ入力され、各トランジスタ $T r 6$ 、 $T r 8$ はオンする。従って、各ビット線 $B L 2$ 、 $B L 4$ は、グラウンド $G N D$ に接続される。つまり、各ビット線 $B L 1$ 、 $B L 3$ を選択すると、そのビット線 $B L 1$ 、 $B L 3$ とそれぞれ対をなすビット線 $B L 2$ 、 $B L 4$ はグラウンド $G N D$ に接続される。反対に、各ビット線 $B L 2$ 、 $B L 4$ を選択すると、対をなすビット線 $B L 1$ 、 $B L 3$ はグラウンド $G N D$ に接続される。

【0034】前記ビット線 $B L 1$ 、 $B L 2$ は、転送ゲート $T g 1$ 、 $T g 2$ を介してインバータ $I N V 1 1$ の入力端子に接続されている。そして、インバータ $I N V 1 1$ の出力端子 $O U T 1$ からは、選択されたセル $C 1$ 、 $C 3$ が記憶しているデータを出力する。一方、前記ビット線 $B L 3$ 、 $B L 4$ は、転送ゲート $T g 3$ 、 $T g 4$ を介してインバータ $I N V 1 2$ の入力端子に接続されている。そして、インバータ $I N V 1 2$ の出力端子 $O U T 2$ からは、選択されたセル $C 2$ 、 $C 4$ が記憶しているデータを出力する。

【0035】転送ゲート $T g 1$ 、 $T g 2$ とインバータ $I N V 1 1$ の入力端子との間には、プリチャージ用のPMOSTランジスタ $T r 21$ のドレインが接続されている。このPMOSTランジスタ $T r 21$ のソースには、プリチャージ電圧 $V p r$ が印加されている。又、PMOSTランジスタ $T r 21$ のゲートには、プリチャージ制御信号 $P r$ が入力される。一方、転送ゲート $T g 3$ 、 $T g 4$ とインバータ $I N V 1 2$ の入力端子との間には、プリチャージ用のPMOSTランジスタ $T r 22$ のドレインが接続されている。このPMOSTランジスタ $T r 22$ のソースには、プリチャージ電圧 $V p r$ が印加されている。又、PMOSTランジスタ $T r 22$ のゲートには、プリチャージ制御信号 $P r$ が入力される。

【0036】以上のように構成されたマスクROMの作用について図3に示すタイミングチャートに従って説明する。初期状態として、ロウ選択信号 $s e l A$ 、 $s e l B$ はともにLレベルであって、各NMOSTランジスタ $T r 1 \sim T r 3$ はオフしている。又、コラム選択信号 $c o l A$ 、 $c o l B$ はともにLレベルであって、各転送ゲート $T g 1 \sim T g 4$ は非導通状態であるとともにディスチャ

ージ用のNMOSTランジスタ $T r 5 \sim T r 8$ はオンしている。即ち、各ビット線 $B L 1 \sim B L 4$ はグラウンド $G N D$ レベル(Lレベル)である。又、プリチャージ制御信号 $P r$ はHレベルであって、プリチャージ用のPMOSTランジスタ $T r 21$ 、 $T r 22$ はオフしている。

【0037】読み出し動作の開始により、プリチャージ制御信号 $P r$ がHレベルからLレベルに立ち下がり、プリチャージ用のPMOSTランジスタ $T r 21$ 、 $T r 22$ はオンする。例えば、セル $C 1$ 、 $C 2$ に記憶されたデータを読み出すべくビット線 $B L 1$ 、 $B L 3$ が選択されると、コラムデコーダからのコラム選択信号 $c o l A$ がLレベルからHレベルに立ち上がり、各転送ゲート $T g 1$ 、 $T g 3$ は導通状態となる。すると、ビット線 $B L 1$ 、 $B L 3$ には、PMOSTランジスタ $T r 21$ 、 $T r 22$ 及び転送ゲート $T g 1$ 、 $T g 3$ を介してプリチャージ電圧 $V p r$ がそれぞれ印加されHレベルに立ち上がろうとする。一方、ディスチャージ用のNMOSTランジスタ $T r 5$ 、 $T r 7$ のゲートには、Hレベルのコラム選択信号 $c o l A$ を各インバータ $I N V 1$ 、 $I N V 3$ を介して反転されたLレベルの信号がそれぞれ入力される。各NMOSTランジスタ $T r 5$ 、 $T r 7$ はオフする。

【0038】このとき、ワード線 $W L 1$ が選択されると、ロウデコーダからのロウ選択信号 $s e l A$ がLレベルからHレベルに立ち上がり、各NMOSTランジスタ $T r 1$ 、 $T r 2$ はオンされる。Hレベルのロウ選択信号 $s e l A$ に基づいてNMOSTランジスタ $T r 1$ はオンされているので、プリチャージされたビット線 $B L 1$ は、同NMOSTランジスタ $T r 1$ 、ビット線 $B L 2$ 及びディスチャージ用のNMOSTランジスタ $T r 6$ を介してディスチャージされる。即ち、ビット線 $B L 1$ はLレベルになる。同じくHレベルのロウ選択信号 $s e l A$ に基づいて前記NMOSTランジスタ $T r 2$ はオンしているため、プリチャージされたビット線 $B L 3$ は、同NMOSTランジスタ $T r 2$ 、ビット線 $B L 4$ 及びディスチャージ用のNMOSTランジスタ $T r 8$ を介してディスチャージされる。即ち、ビット線 $B L 3$ はLレベルになる。

【0039】そして、プリチャージ制御信号 $P r$ がLレベルからHレベルに立ち上がると、PMOSTランジスタ $T r 21$ 、 $T r 22$ はオフし、各ビット線 $B L 1$ 、 $B L 3$ のプリチャージは終了する。上記したように、各ビット線 $B L 1$ 、 $B L 3$ がそれぞれLレベルになることによって、インバータ $I N V 1 1$ 、 $I N V 1 2$ の出力端子 $O U T 1$ 、 $O U T 2$ からは、Hレベルの信号がそれぞれ出力される。

【0040】このようにして、各ビット線 $B L 1$ 、 $B L 3$ のプリチャージ終了後、インバータ $I N V 1 1$ 、 $I N V 1 2$ の出力端子 $O U T 1$ 、 $O U T 2$ からはHレベルの信号がそれぞれ出力される。従って、各セル $C 1$ 、 $C 2$ に記憶されたデータは、Hレベルの信号「1」としてそれぞれ読み出される。

【0041】次に、読み出し動作の開始により、上記同様にプリチャージ制御信号PrがHレベルからLレベルに立ち下がり、プリチャージ用のPMOSTランジスタTr21, Tr22はオンする。例えば、セルC3, C4に記憶されたデータを読み出すべくビット線BL2, BL4が選択されると、コラムデコーダからのコラム選択信号colBがLレベルからHレベルに立ち上がり、各転送ゲートTg2, Tg4は導通状態となる。すると、ビット線BL2, BL4には、PMOSTランジスタTr21, Tr22及び転送ゲートTg2, Tg4を介してプリチャージ電圧Vprがそれぞれ印加されHレベルに立ち上がろうとする。一方、ディスチャージ用のNMOSTランジスタTr6, Tr8のゲートには、Hレベルのコラム選択信号colBを各インバータINV2, INV4を介して反転されたLレベルの信号がそれぞれ入力される。各NMOSTランジスタTr6, Tr8はオフする。

【0042】一方、前記ワード線WL1及びビット線BL1, BL3が非選択されると、ロウデコーダからのロウ選択信号selAがHレベルからLレベルに立ち下がり、各NMOSTランジスタTr1, Tr2はオフされる。又、コラムデコーダからのコラム選択信号colAがHレベルからLレベルに立ち下がり、各転送ゲートTg1, Tg3は非導通状態となる。又、各NMOSTランジスタTr5, Tr7のゲートには、そのLレベルのコラム選択信号colAを各インバータINV1, INV3を介して反転されたHレベルの信号がそれぞれ入力される。各NMOSTランジスタTr5, Tr7はオンし、ビット線BL1, BL3はグランドGNDレベルとなる。

【0043】このとき、ワード線WL2が選択されると、ロウデコーダからのロウ選択信号selBがLレベルからHレベルに立ち上がり、NMOSTランジスタTr3はオンされる。Hレベルのロウ選択信号selBに基づいてNMOSTランジスタTr3はオンされているので、プリチャージされたビット線BL2は、同NMOSTランジスタTr3、ビット線BL1及びディスチャージ用のNMOSTランジスタTr5を介してディスチャージされる。即ち、ビット線BL2はLレベルになる。一方、セルC4にはトランジスタが形成されていないため、プリチャージされたビット線BL4はディスチャージ用のNMOSTランジスタTr7を介してディスチャージされない。即ち、ビット線BL4はHレベルに引き上げられる。

【0044】そして、プリチャージ制御信号PrがLレベルからHレベルに立ち上がると、PMOSTランジスタTr21, Tr22はオフし、各ビット線BL2, BL4のプリチャージは終了する。上記したように、ビット線BL2がLレベルになることによって、インバータINV11の出力端子OUT1からは、Hレベルの信号が出力される。一方、ビット線BL4がHレベルのまま保持されていることによって、インバータINV12の出力

端子OUT2からは、Lレベルの信号が出力される。

【0045】このようにして、各ビット線BL2, BL4のプリチャージ終了後、インバータINV11の出力端子OUT1からはHレベルの信号が、インバータINV12の出力端子OUT2からはLレベルの信号がそれぞれ出力される。従って、セルC3に記憶されたデータは、Hレベルの信号「1」として、又セルC4に記憶されたデータは、Lレベルの信号「0」としてそれぞれ読み出される。

【0046】従って、各インバータINV11, INV12からの出力信号は、トランジスタを形成し放電経路を備えたセルからはHレベルの信号「1」が、トランジスタを形成せず放電経路を備えていないセルからはLレベルの信号「0」がデータとして出力される。

【0047】上記したように、本実施の形態によれば、以下の特徴を有する。

(1) ディスチャージ用のNMOSTランジスタTr5~Tr8のオンオフ動作によって、各ビット線BL1~BL4の非選択線をグランドGNDレベルにし、そのグランドGNDレベルとなったビット線BL1~BL4を介してプリチャージ電圧Vprをディスチャージすることで、図5に示す各ワード線WL1, L2に沿って形成されたディスチャージ用のグランド線GL1, GL2を省略することができる。ちなみに、ディスチャージ用のNMOSTランジスタTr5~Tr8は、グランド線GL1, GL2と比較して、そのレイアウト面積は小さい。従って、マスクROMは、さらなる高集積化を図ることができる。

【0048】(2) ディスチャージ用のNMOSTランジスタTr5~Tr8のオンオフ動作は、コラム選択信号colA, colBに基づいて行われる。従って、余分な信号線を必要としない。

【0049】(3) ディスチャージ用のNMOSTランジスタTr5~Tr8は、前記各セルC1~C3に形成されたNMOSTランジスタTr1~Tr3と同時に形成することができる。従って、余分な工程を必要としない。

【0050】(4) 各ワード線WL1~WL2を選択すべくロウ選択信号selA, selBは、各ビット線BL1~BL4をプリチャージすべくプリチャージ制御信号PrがHレベルからLレベルに立ち下がると同時にLレベルからHレベルに立ち上がる。従って、プリチャージされた各ビット線BL1~BL4のディスチャージは、そのプリチャージと同時に進行するため、各インバータINV11, INV12からの出力信号をデータとして素早く読み取ることができる。つまり、マスクROMのデータ読み出し速度の高速化につながる。

【0051】(第2の実施の形態) 以下、本発明を具体化した第2の実施の形態を図4に従って説明する。尚、この実施の形態において、前記第1の実施の形態とは同一の構成である。前記第1の実施の形態と異なるのは、

図4に示すタイミングチャートであり、この点を中心に説明する。即ち、マスクROMの作用について説明する。

【0052】図2のように構成されたマスクROMの作用について図4に示すタイミングチャートに従って説明する。初期状態として、ロウ選択信号 $selA$, $selB$ はともにLレベルであって、各NMOSトランジスタ $Tr1 \sim Tr3$ はオフしている。又、コラム選択信号 $colA$, $colB$ はともにLレベルであって、各転送ゲート $Tg1 \sim Tg4$ は非導通状態であるとともにディスチャージ用のNMOSトランジスタ $Tr5 \sim Tr8$ はオンしている。即ち、各ビット線 $BL1 \sim BL4$ はグランドGNDレベル(Lレベル)である。又、プリチャージ制御信号 Pr はHレベルであって、プリチャージ用のPMOSTランジスタ $Tr21$, $Tr22$ はオフしている。

【0053】読み出し動作の開始により、プリチャージ制御信号 Pr がHレベルからLレベルに立ち下がり、プリチャージ用のPMOSTランジスタ $Tr21$, $Tr22$ はオンする。例えば、セル $C1$, $C2$ に記憶されたデータを読み出すべくビット線 $BL1$, $BL3$ が選択されると、コラムデコードからのコラム選択信号 $colA$ がLレベルからHレベルに立ち上がり、各転送ゲート $Tg1$, $Tg3$ は導通状態となる。すると、ビット線 $BL1$, $BL3$ は、PMOSTランジスタ $Tr21$, $Tr22$ 及び転送ゲート $Tg1$, $Tg3$ を介してプリチャージ電圧 Vpr がそれぞれ印加されHレベルとなる。一方、ディスチャージ用のNMOSTランジスタ $Tr5$, $Tr7$ のゲートには、そのHレベルのコラム選択信号 $colA$ を各インバータ $INV1$, $INV3$ を介して反転されたLレベルの信号がそれぞれ入力される。各NMOSTランジスタ $Tr5$, $Tr7$ はオフする。そして、プリチャージ制御信号 Pr がLレベルからHレベルに立ち下がると、PMOSTランジスタ $Tr21$, $Tr22$ はオフし、各ビット線 $BL1$, $BL3$ のプリチャージは終了する。

【0054】前記プリチャージ制御信号 Pr がLレベルからHレベルに立ち下がると同時に、ワード線 $WL1$ が選択される。即ち、ロウデコードからのロウ選択信号 $selA$ がLレベルからHレベルに立ち上がり、各NMOSTランジスタ $Tr1$, $Tr2$ はオンされる。このNMOSTランジスタ $Tr1$ のオンに基づいて、プリチャージされたビット線 $BL1$ は、同NMOSTランジスタ $Tr1$ 、ビット線 $BL2$ 及びディスチャージ用のNMOSTランジスタ $Tr6$ を介してディスチャージされる。即ち、ビット線 $BL1$ はHレベルからLレベルになる。同じくNMOSTランジスタ $Tr2$ のオンに基づいて、プリチャージされたビット線 $BL3$ は、同NMOSTランジスタ $Tr2$ 、ビット線 $BL4$ 及びディスチャージ用のNMOSTランジスタ $Tr8$ を介してディスチャージされる。即ち、ビット線 $BL3$ はHレベルからLレベルになる。各ビット線 $BL1$, $BL3$ がそれぞれLレベルになることによ

て、インバータ $INV11$, $INV12$ の出力端子 $OUT1$, $OUT2$ からは、Hレベルの信号がそれぞれ出力される。

【0055】このようにして、各ビット線 $BL1$, $BL3$ のプリチャージ終了後、即ちプリチャージ制御信号 Pr がLレベルからHレベルに立ち上がり、ビット線 $BL1$, $BL3$ のディスチャージが完全に行われる時間 t 経過後にインバータ $INV11$, $INV12$ の出力端子 $OUT1$, $OUT2$ からはHレベルの信号がそれぞれ出力される。従って、各セル $C1$, $C2$ に記憶されたデータは、Hレベルの信号「1」としてそれぞれ読み出される。

【0056】次に、読み出し動作の開始により、上記同様にプリチャージ制御信号 Pr がHレベルからLレベルに立ち下がり、プリチャージ用のPMOSTランジスタ $Tr21$, $Tr22$ はオンする。例えば、セル $C3$, $C4$ に記憶されたデータを読み出すべくビット線 $BL2$, $BL4$ が選択されると、コラムデコードからのコラム選択信号 $colB$ がLレベルからHレベルに立ち上がり、各転送ゲート $Tg2$, $Tg4$ は導通状態となる。すると、ビット線 $BL2$, $BL4$ は、PMOSTランジスタ $Tr21$, $Tr22$ 及び転送ゲート $Tg2$, $Tg4$ を介してプリチャージ電圧 Vpr がそれぞれ印加されHレベルとなる。一方、ディスチャージ用のNMOSTランジスタ $Tr6$, $Tr8$ のゲートには、そのHレベルのコラム選択信号 $colB$ を各インバータ $INV2$, $INV4$ を介して反転されたLレベルの信号がそれぞれ入力される。各NMOSTランジスタ $Tr6$, $Tr8$ はオフする。そして、プリチャージ制御信号 Pr がLレベルからHレベルに立ち下がると、PMOSTランジスタ $Tr21$, $Tr22$ はオフし、各ビット線 $BL2$, $BL4$ のプリチャージは終了する。

【0057】一方、前記ワード線 $WL1$ 及びビット線 $BL1$, $BL3$ を非選択にする。即ち、ロウデコードからのロウ選択信号 $selA$ がHレベルからLレベルに立ち下がり、各NMOSTランジスタ $Tr1$, $Tr2$ はオフされる。又、コラムデコードからのコラム選択信号 $colA$ がHレベルからLレベルに立ち下がり、各転送ゲート $Tg1$, $Tg3$ は非導通状態となる。又、各NMOSTランジスタ $Tr5$, $Tr7$ のゲートには、そのLレベルのコラム選択信号 $colA$ を各インバータ $INV1$, $INV3$ を介して反転されたHレベルの信号がそれぞれ入力される。各NMOSTランジスタ $Tr5$, $Tr7$ はオンし、ビット線 $BL1$, $BL3$ はグランドGNDレベル(Lレベル)となる。

【0058】前記プリチャージ制御信号 Pr がLレベルからHレベルに立ち上がる同時に、ワード線 $WL2$ が選択される。即ち、ロウデコードからのロウ選択信号 $selB$ がLレベルからHレベルに立ち上がり、NMOSTランジスタ $Tr3$ はオンされる。このNMOSTランジスタ $Tr3$ のオンに基づいて、プリチャージされたビット

線BL2は、同NMOSTランジスタTr3、ビット線BL1及びディスチャージ用のNMOSTランジスタTr5を介してディスチャージされる。即ち、ビット線BL2はHレベルからLレベルになる。このビット線BL2がLレベルになることによって、インバータINV11の出力端子OUT1からは、Hレベルの信号が出力される。一方、セルC4にはトランジスタが形成されていないため、プリチャージされたビット線BL4はディスチャージ用のNMOSTランジスタTr7を介してディスチャージされない。即ち、ビット線BL4はHレベルのまま保持される。このビット線BL4がHレベルのまま保持されていることによって、インバータINV12の出力端子OUT2からは、Lレベルの信号が出力される。

【0059】このようにして、各ビット線BL2、BL4のプリチャージ終了後、即ちプリチャージ制御信号PrがLレベルからHレベルに立ち上がり、ビット線BL2、BL4のディスチャージが完全に行われる時間も経過後にインバータINV11の出力端子OUT1からはHレベルの信号が、インバータINV12の出力端子OUT2からはLレベルの信号がそれぞれ出力される。従って、セルC3に記憶されたデータは、Hレベルの信号「1」として、又セルC4に記憶されたデータは、Lレベルの信号「0」としてそれぞれ読み出される。

【0060】従って、各インバータINV11、INV12からの出力信号は、トランジスタを形成し放電経路を備えたセルからはHレベルの信号「1」が、トランジスタを形成せず放電経路を備えていないセルからはLレベルの信号「0」がデータとして出力される。

【0061】上記したように、本実施の形態によれば、以下の特徴を有する。

(1)～(3)上記した第1の実施の形態の効果の(1)～(3)と同じ効果を有する。

【0062】(4)各ワード線WL1～WL2を選択すべくロウ選択信号selA、selBは、各ビット線BL1～BL4のプリチャージ終了後、即ちプリチャージ制御信号PrがLレベルからHレベルに立ち上がると同時にLレベルからHレベルに立ち上がる。従って、プリチャージに基づく各NMOSTランジスタTr1～Tr3及びディスチャージ用のNMOSTランジスタTr5～Tr8を介しての貫通電流はなく、確実に各ビット線BL1～BL4のプリチャージを行われ、余分なプリチャージ電流を消費しない。つまり、マスクROMの低消費電力化につながる。

【0063】尚、本発明は前記実施の形態の他、以下の態様で実施するようにしてもよい。

(1)上記各実施の形態では、ディスチャージ用のNM

OSTランジスタTr5、Tr7のゲートにはコラム選択信号colAがインバータINV1、INV3を介して入力され、NMOSTランジスタTr6、Tr8のゲートにはコラム選択信号colBがインバータINV2、INV4を介して入力されているが、NMOSTランジスタTr5、Tr7のゲートにコラム選択信号colBを入力し、NMOSTランジスタTr6、Tr8のゲートにコラム選択信号colAを入力するようにしてもよい。又、NMOSTランジスタTr5～Tr8をそのトランジスタTr5～Tr8と同じ動作をするPMOSTランジスタに置換してもよい。

【0064】(2)上記各実施の形態では、プリチャージ用のスイッチング素子にはPMOSTランジスタTr21、Tr22を用いたが、他の素子と同様にNMOSTランジスタを用いてもよい。

【0065】(3)上記第2の実施の形態では、各ワード線WL1～WL2を選択すべくロウ選択信号selA、selBは、プリチャージ制御信号PrがLレベルからHレベルに立ち上がると同時にLレベルからHレベルに立ち上がるようにしたが、ロウ選択信号selA、selBをプリチャージ制御信号PrがLレベルからHレベルに立ち上がる時間より各ビット線BL1～BL4のディスチャージが完全に行われる時間t分だけ早くLレベルからHレベルに立ち上がるようにしてもよい。

【0066】

【発明の効果】以上詳述したように、本発明によれば、ディスチャージ用の配線に要する面積を削減して高集積化を図り得る半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 第1、第2の実施の形態のマスクROMの回路図である。

【図3】 第1の実施の形態の動作を示すタイミングチャートである。

【図4】 第2の実施の形態の動作を示すタイミングチャートである。

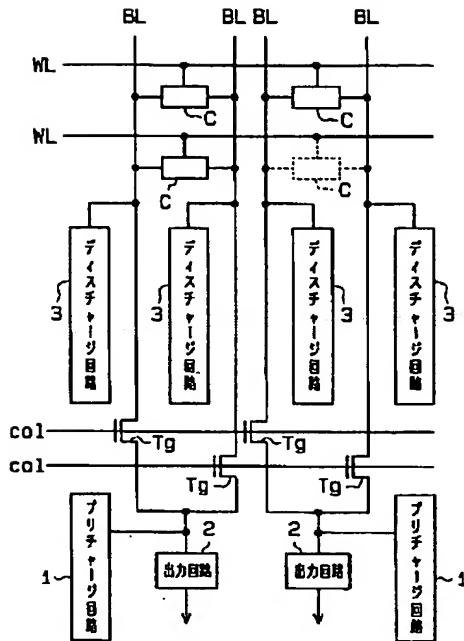
【図5】 従来のマスクROMの回路図である。

【符号の説明】

1	プリチャージ回路
2	出力回路
3	ディスチャージ回路
BL	ビット線
C	記憶セル（スイッチ回路）
col	コラム選択信号
Tg	転送ゲート
WL	ワード線

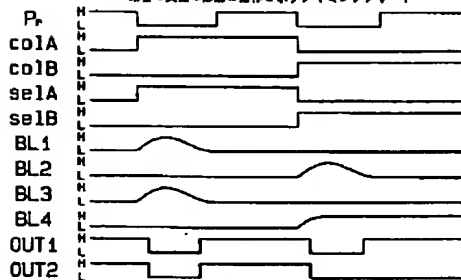
【図1】

本発明の原理説明図



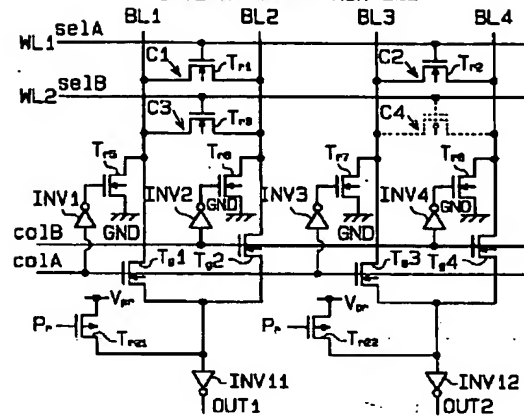
【図3】

第1の実施の形態の動作を示すタイミングチャート



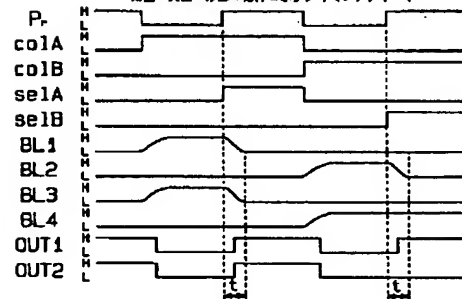
【図2】

第1、第2の実施の形態のマスクROMの回路図



【図4】

第2の実施の形態の動作を示すタイミングチャート



【図5】

従来のマスクROMの回路図

